

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-085275

(43)Date of publication of application : 25.03.1994

(51)Int.Cl.

H01L 29/788

H01L 29/792

G11C 16/02

G11C 16/04

(21)Application number : 03-359945

(71)Applicant : SGS THOMSON
MICROELETTRONICA SPA

(22)Date of filing : 31.12.1991

(72)Inventor : VILLA NUCCIO

(30)Priority

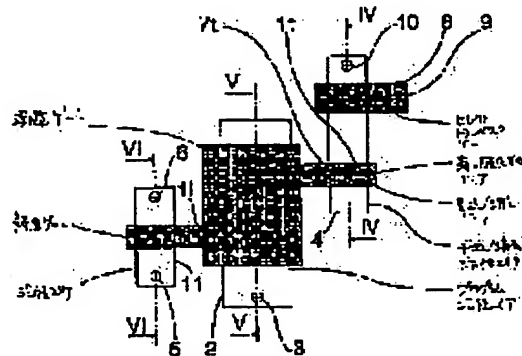
Priority number : 90 90830622 Priority date : 31.12.1990 Priority country : EP

(54) EEPROM CELL WITH GATE IN SINGLE METAL LEVEL WITH INTERFACE DIRECTED TOWARD EXTERNAL CIRCUIT SEPARATED FROM INTERFACE DIRECTED TOWARD PROGRAM CIRCUIT

(57)Abstract:

PURPOSE: To achieve the execution of a logic function by providing at least one third part that is separated from a first active area and a second active area and forming the gate of at least one first read-out transistor of a memory cell for the third part of the separated gate.

CONSTITUTION: A separate gate 1 has a protrusion 11 for constituting the read-out gate of a memory device, the protrusion 11 does not spread onto the same active area 4, conversely the read-out gate 11 spreads onto the third active area 11, each source and drain regions are formed on a semiconductor substrate that is located below in the area 11, and these are in contact with the drain and the source through contacts 5 and 6. A write/erase region is clearly separated from the region of a read-out transistor being formed in the active area 11 and can function at current and voltage levels being equivalent to those of a normal CMOS external circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-85275

(43)公開日 平成6年(1994)3月25日

(51)IntCl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H01L 29/788

29/792

G11C 16/02

H01L 29/78

371

6741-5L

G11C 17/00

307 D

審査請求 未請求 請求項の数5(全8頁) 最終頁に続く

(21)出願番号 特願平3-359945

(22)出願日 平成3年(1991)12月31日

(31)優先権主張番号 90830622.8

(32)優先日 1990年12月31日

(33)優先権主張国 イタリア(IT)

(71)出願人 591011409

エッセヂエッセートムソン マイクロエレクトロニクスエッセ・エッレ・エッレ
SGS-THOMSON MICROELECTRONICS SOCIETA A
RESPONSABILITA LIM
ITATA

イタリア国 アグラテ・ブリアンツァ
20041 ビア・チ・オリベッティ 2

(72)発明者 ヌッチオ・ヴィラ

イタリア国 ロンチェロ 20040 ヴィ
ア・デル・グアダーニョ 23

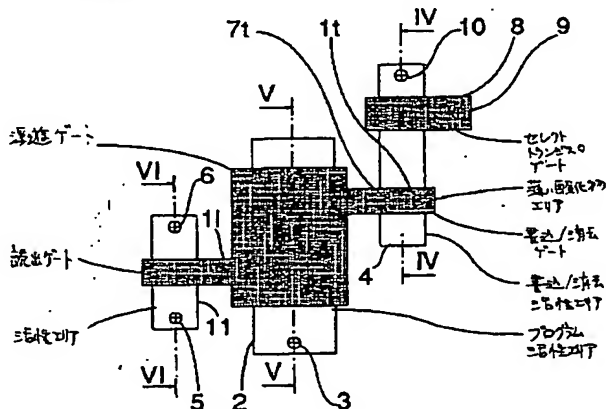
(74)代理人 弁理士 森 浩之

(54)【発明の名称】 プログラム回路に向かうインターフェイスから分離された外部回路に向かうインターフェイスを有する単一金属レベルのゲートを有するEEPROMセル

(57)【要約】

【目的】 EEPROMメモリセルで使用される電圧レベルは従来は制限されこの制限はシグナル伝搬時間と電力消費を増加させる。本発明は、該増加を解消しながら十分な耐性を有するEEPROMセルを提供することを目的とする。

【構成】 セルの単一の分離されたゲート構造の部分がその上を広がる半導体基板の少なくとも3個の別個の活性エリア上に単一レベルのゲート構造を形成したEEPROMセル。本発明のEEPROMセルは、読出トランジスタをメモリセルのプログラムできる活性エリアから実質的に分離することにより論理回路のレベルに匹敵する電圧及び電流レベルに耐え得るようにすることができる。



1

【特許請求の範囲】

【請求項1】 セルのコントロールターミナルとの容量性カップリングを確立するために絶縁ゲート層で被覆された半導体基板の第1の活性エリア上に広がる第1の部分と、該第1の部分と分離され第2の活性エリア上に広がる第2の部分とを有し、該第2の部分の少なくとも分離されたゲートの前記第2の部分の下に位置するエリアの部分が前記絶縁ゲート層より実質的に薄い絶縁トンネル層により被覆されている、導電物質製の前記分離されたゲートを
10 含んで成る単一レベルのゲート構造のEEPROMメモリセルにおいて、
前記分離されたゲートが、絶縁ゲート層で被覆された第3の活性エリアの少なくとも第1の部分上に広がりかつ前記第1の活性エリアから及び第2の活性エリアから分離された少なくとも1個の第3の部分とを有し、前記分離されたゲートの第3の部分がメモリセルの少なくとも1個の第1の読出トランジスタのゲートを構成していることを特徴とするEEPROMメモリセル。

【請求項2】 前記分離されたゲートが、絶縁ゲート層で被覆された第4の活性エリア上に広がりかつ前記他の
20 活性エリアから分離された第4の部分とを有し、該第4の部分が前記第1の読出トランジスタと相補的な、メモリセルの第2の読出トランジスタのゲートを構成する請求項1に記載のEEPROMセル。

【請求項3】 前記第2の活性エリア中及び絶縁ゲート層が被覆された前記第2の活性エリアの部分上にセルのセレクトトランジスタのゲートが広がっている請求項1
に記載のEEPROMセル。

【請求項4】 個々にアドレスでプログラムできるセルが行列のアレイに配置された単一のレベルのゲート構造を有するEEPROMメモリセルを使用する半導体基板上に形成された論理回路において、
30 各EEPROMメモリセルが、前記半導体基板の少なくとも3個の別個の活性エリア上に構成され、これらのエリア上にセルの単一の分離されたゲートの部分が広がり、
その上をEEPROMセルの読出トランジスタのゲートを構成する前記分離されたゲートの部分が広がる活性エリアが、前記個々の活性エリアの他のエリアにより示されるセルのセレクト及びプログラム回路を有するインターフェイスゾーンから実質的に分離された外部回路を有するインターフェイスゾーンであり、
40 セルの前記読出トランジスタが前記外部回路の動作電圧及び電流レベルで匹敵する電圧及び電流レベルで動作できることを特徴とする論理回路。

【請求項5】 各々がアレイのそれぞれの入力に接続された第1のオーダーの平行な導電ラインと、前記第1のオーダーの導電ライン上に直角に配置された前記第1のオーダーの導電ラインから電気的に分離された第2のオーダーの平行な導電ラインを含んで成り、第2のオーダ
50

2

一の各ラインがアレイのそれぞれの出力、及び前記第1のオーダーの各ラインと、第1のオーダーの各ラインと第2のオーダーの各ライン間の各交点の前記第2のオーダーの各ライン間のプログラムできる電気接続に接続されているプログラムできる相互接続アレイにおいて、
前記プログラムできる電気的相互接続の各々が、その第1の部分がセルのコントロールターミナルとの容量性カップリングを確立するために絶縁ゲート層で被覆された半導体基板の第1の活性エリア上を広がり、その第2の部分が前記第1の部分と分離されかつその分離されたゲートの前記第2の部分の下に位置するエリアの少なくとも第1の部分上が前記絶縁ゲート層より実質的に薄い絶縁トンネル層により被覆され、その第3の部分が絶縁ゲート層が被覆されかつ前記第1の活性エリアから及び前記第2の活性エリアから分離され、かつそのエリアのソース及びドレインタミナルがそれぞれ第1のオーダーの導電ライン及び第2のオーダーの導電ラインに接続されたメモリセルの少なくとも1個の読出トランジスタのゲートを構成している分離されたゲートを有する単一レベルのゲート構造を有するEEPROMセルにより構成され、

前記セルの読出トランジスタが、前記絶縁トンネル層で被覆されたセルの前記第2の活性エリアから実質的に分離されることにより、論理回路の動作レベルに匹敵する電圧及び電流レベルでセルのプログラムされた状態の関数でスイッチとして動作できることを特徴とするプログラムできる相互接続アレイ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、外部回路に向かうメモリセルの他のインターフェイスから実質的に電気的に絶縁されたプログラム回路に向かうインターフェイスを有する単一レベルのゲートメタライゼーションのEEPROMメモリセルに関する。

【0002】

【従来技術】 アルミニウム又はアルミニウム合金から構成されてもよいが通常多結晶シリコン層（単一ポリ）により構成される単一レベルのゲートメタライゼーションのEEPROMメモリの構造は、コントロールターミナルが分離されたゲートに容量的にカップリングされた一般的にn-チャンネル分離されたゲートトランジスタであるMOSトランジスタの構造として概略的に示される。該分離構造は、それを通してメモリセルの書き込み及び消去機構の基本的電気現象が行われる薄いトンネル酸化物ゾーンと、その上で分離されたゲートがメモリセル中に記憶された状態つまりデータを読み出すための読出トランジスタのゲートとして機能する比較的厚い酸化物ゾーンの2種類のゾーン上に基本的及び物理的に輪郭が形成される。

【0003】 この従来技術の典型的な構造が図1、2及

び3に概略的に示されている。分離されたゲート1は半導体基板のプログラム第1活性エリア2上に位置し、前記分離されたゲート1とコントロールターミナル3間に容量的カップリングゾーンを形成している。該分離されたゲート1は第1の突出部11と第2の突出部12を有し、両者は第2の活性エリア4上に広がっている。この第2の活性エリアには、「読出」 n -チャンネルMOSトランジスタを形成するためのそれぞれの拡散部が形成され、該トランジスタのドレンターミナル（コンタクト）は図中に5で示され、ソース領域は6で示されている。この第2の活性エリア4にも、分離構造と、該エリア4の残りの部分の上に存在する絶縁ゲート層より実質的に薄い絶縁トンネル層で被覆された半導体基板のゾーン7との間に容量的カップリングが実現される。更に図1及び2に示されているように、同じ第2の活性エリア4中に、 n -チャンネルセレクトトランジスタも共通形成され、そのゲートが8でそして対応するコントロールターミナルが9で示され（図1）そしてそのソースターミナルは10で示されている。

【0004】「読出」トランジスタのゲート11が、その上に書込／消去ゲート12も形成されている同じ活性エリア4上に形成されるという事実は、正確な限界と無視できない欠点を生じさせる。これらの既知のセルでは、比較的低い電圧がセルの「読出」ゲートを通してつまりセルの読出トランジスタのソース及びドレン領域（6及び5）間に維持されなければならない、これによりメモリセルのプログラムされた又は消去された状態の意図しない修正が防止される。実際に読出トランジスタのゲートを書込／消去トンネルゾーン7の同じ活性エリア4内に形成することにより、これらの領域を通る任意の電圧は書込／消去ゲートゾーンで複製され、この電圧は次の式により与えられる薄いトンネル絶縁層7を通る電界を決定する。

$$\left(V_{\text{isolated gate}} - V_{\text{drain of the write gate}} \right) / \left(\text{トンネル絶縁物の厚さ} \right) = \left(V(1) - V(6) \right) / \left(\text{厚さ}(7) \right)$$

【0005】好適に限定されないとこの電界は消去されたセルをプログラムしあるいはプログラムされたセルを消去するに十分な逆電圧値を決定し、これによりメモリデバイスのエラーの多い応答を生じさせる。メモリセル中に記憶されたデータの読出しに安全に使用される電圧レベルつまり外部回路に向かうメモリセルのインターフェイスで使用されることのできる電圧レベルのこれらの制限は、都合の悪いことに集積回路のメモリセクションの外の回路の他のCMOS構造と直接結合できるモジュール素子としてのメモリセルの使用を制限する。逆に、これは比較的小さい振幅のシグナルで動作しかつEEPROMセルの「下流」にシグナルレベル再生段を必要とし、これにより集積回路のシグナル伝搬時間と電力消費を増加させる。

【0006】

【発明の目的及び概要】この従来技術のレベルに鑑み、本発明は、外部回路に向かうセルの他のインターフェイスから電氣的に絶縁されたプログラム回路に向かうインターフェイスを有する単一レベルのゲートメタライゼーションのEEPROMセルを提供する。これにより通常のCMOS回路の電圧及び電流レベルの1又は2以上のセルを動作することにより論理機能の実施をメモリセルの同じ分離されたゲートを通して実現できる。基本的に本発明のEEPROMセルは、ゲート絶縁層により被覆された半導体基板の第1の活性エリア上を広がりがつセルのコントロールターミナルに容量的にカップリングされた第1の部分；及び実質的に第1の活性エリアから分離されその分離されたゲートのその第2の部分の下のエリアの少なくとも第1の部分上で実質的に前記絶縁ゲート層より薄いトンネル絶縁層で被覆された第1の第2の活性エリア上を広がる第2の部分を含んで形成されを分離されたゲート構造を含んで成り、該分離されたゲートは、前記第1及び第2の活性エリアから実質的に分離された第3の活性エリアの少なくとも第1の部分上を広がりがつ絶縁ゲート層で被覆されかつメモリセルの状態の少なくとも第1の「読出」トランジスタのゲートを構成する少なくとも第3の部分の有している。

【0007】メモリセルの同じ分離されたゲートは前述の他の3種の活性エリアの導電性のタイプと相補的な導電性のタイプを有する第4の活性エリア上を広がる他の突起部を有することができ、これにより第1の読出トランジスタに対して相補的なタイプのメモリセルの状態の第2の「読出」トランジスタを形成することができる。この後の態様は後述する通り、CMOSインバータとしての形状を有し、かつ伝搬速度及びエリア占有に関して顕著な利点を有する単一のメモリセルを使用することにより、極度に簡単で効果的な手法で重要な使用可能及びリセット論理機能の実施を許容するインターフェイスを提供する。同じ活性エリア上にセルのプログラム回路から分離された同数の読出トランジスタを実現するために2又はそれ以上の分離されたゲートを形成することができるが、この解決法は可能であるにしても比較的限定された有用性しか有しない。

【0008】本発明の異なった態様及び利点が、本発明の実施例の引き続き説明及び添付図面への参照を通して明らかになるであろう。図1は、従来技術によるEEPROMセルの構造の概略平面図であり、図2は、図1の構造のI-I'線簡略化縦断面図であり、図3は、図1の集積構造のI-I'線簡略化縦断面図であり、図4は、本発明に従って形成された単一レベルのゲートメタライゼーションのEEPROMメモリセルの集積構造の概略平面図であり、図5は、図4の構造のI-V-I'V線で切断した簡略された縦断面図であり、図6は、図4の集積構造のV-V'線で切断した簡略化された

縦断面図であり、図7は、図4の集積構造のV I-V I線で切断した簡略された縦断面図であり、図8は、本発明のE E P R O Mメモリセルの集積構造の他の態様の概略平面図であり、図9は、既知技術に従って、E E P R O Mセルを使用することにより積の項を発生させるための論理回路の機能的ブロックダイアグラムであり、図10は、既知技術による、C M O S技術で実現された図9の回路と機能的に等価な論理回路のブロックダイアグラムであり、図11は、既知技術による、従来の構造を有するE E P R O Mセルを使用することにより実現された図10の機能的ダイアグラムの使用可能回路セクションの部分ブロックダイアグラムであり、図12は、図10の回路の単一入力用使用可能及び選択シグナルの発生用部分を更に詳細に示す他の機能的ブロックダイアグラムであり、図13は、図8に示した形態の、本発明に従ってE E P R O Mセルを使用することにより実現された図12の回路と機能的に等価な回路ダイアグラムであり、図14は、本発明のE E P R O Mセルの集積構造の機能的な概略平面図であり、図15は、図14の集積構造の等価な回路ダイアグラムを示すものであり、図16は、本発明のE E P R O Mセルで形成された複合アレイつまりプログラムできる相互接続アレイの機能的ダイアグラムの概略的な代表例である。

【0009】

【好ましい態様の説明】図1から8のうち、本発明のE E P R O Mセルの2種類の選択できる態様を示す図4、5、6、7及び8中では、本明細書の先行する従来技術の項で既に述べた既知のセルの特徴と本発明のセルの異なった特徴を比較することを容易にする目的で、先行する図1、2及び3で既に使用された同じ数字が集積構造の類似又は機能的に等価なパーツを示すために使用されている。

【0010】図4、5、6及び7を参照すると、分離されたゲート1はメモリデバイスのいわゆる「読出ゲート」を構成する突起部11を有し、該突起部11は従来技術の場合のように同じ活性エリア4上には広がらず、逆に該読出ゲート11は第3の活性エリア11上に広がり、その中には下に位置する半導体基板にそれぞれのソース及びドレン領域が形成されかつこれらはコンタクト5及び6を通してそれぞれドレンとソースに接触している。活性エリア4に属し、その中に従来技術のE E P R O Mセルのそれと類似する手法で「セレクト」トランジスタが形成されている書込/消去領域が、活性エリア11内に形成された読出トランジスタの領域から明瞭に分離され、そのゲート構造は活性エリア4と都合良くインターフェイスするプログラム回路によりこのようにしないと課されることのある制限を有しないように設計され、これにより通常のC M O S外部回路のそれらと匹敵する電流及び電圧レベルで機能することができる。実際に外部回路に向かう分離されたゲート1の容量的カップリン

グは、薄い絶縁層7が存在し前に述べた問題が起きることのあるトンネルゾーン7tに関して大幅に減少する。該トンネルゾーンは活性領域4内にあり、これはメモリセルのプログラム回路とのインターフェイス領域を示す。

【0011】活性エリア11は代わりにセルと外部回路間のインターフェイス領域を示し、実際上は他のプログラム回路インターフェイス領域に対して実質的に電氣的に絶縁されている。実際読出トランジスタのゲート構造を通して薄い書込/読出絶縁層のゾーン7tとの容量的カップリングが同じ分離されたゲート1を通して存在するが、このカップリングは、トンネルエリア7t中に存在する薄い絶縁層7の厚さより3倍から4倍厚い厚さを有する絶縁層を通して生じ、従って電界強度が同じバイパス電圧用と同じファクターにより減少し、無視することができる。どの場合でも、コントロールターミナル3用の最適のバイパス電圧の選択は可能であり、読出トランジスタのゲートとのカップリングをバランスし、これにより読出フェーズ間のメモリセルの電氣的状態を保持する。

【0012】多分本発明のE E P R O Mメモリセルの構造の最も顕著な特色は、必要な場合にセルの読出トランジスタの電氣的特性を差動させる可能性と、それぞれが他とは異なった電氣的特性を有する2以上の読出トランジスタの電氣的特性を差動させる可能性である。これらの代わり得る態様のうち、特に好ましいものは図8に示されているものである。この態様によると、分離されたゲート1には第4の活性エリア12上に広がる他の突起部11'が形成され、このエリアは前記活性エリア11の導電性のタイプと逆のタイプの導電性とされている。それぞれのソース及びドレン拡散部を形成することにより、一方がn-チャンネルで他方がp-チャンネルであるメモリセルの2個の別個で相補的な読出トランジスタが形成される。図8に示すように1対の相補トランジスタのそれぞれのターミナルを接続することにより、外部回路に向かう「読出インターフェイス」が得られ、これは実質的にC M O Sインバータとして形成される。このタイプの読出インターフェイスは後述の通り非常に便利な回路の用途に役立つ。より一般的に言うと、本発明のE E P R O Mメモリセルは当業者には周知な通り、非常に多くの用途に役立つことができる。

【0013】用途1は次の通りである。集積デバイス中でしばしば実行される論理機能は、個々にアドレスでプログラムできる行及び列に配置されたE E P R O Mセル、及びアレイから来る10mVのオーダーの振幅を有するE E P R O Mセルの弱い読出シグナルを増幅する機能（センス増幅器）を使用することによる積の項の発生である。シリコンエリアの占有の点からは非常にコンパクトであるが、これらの集積構造は電力消費が大きくかつE E P R O Mセルのアレイから誘

導される読出シグナルのCMOS論理レベルの再生に顕著な遅れがあるという欠点がある。図9はこのような回路の機能的ブロックダイアグラムを示している。

【0014】図10には、CMOSタイプデバイスの図9の回路の機能の実行のサンプルに関するブロックダイアグラムが示されている。セレクトを使用可能にする機能に適したパーツは、その中で最も典型的な配置がこれも相対論理動作表を含む図11に示した2個のEEPROMセルを使用する電圧デバイダである当業者には周知な種々の回路配置による通常のタイプのEEPROMセルを使用することにより包括的に形成されることができる。2個のn-チャンネルEEPROMセルを使用する図11に示したタイプのCMOSデバイスの態様は、サプライ電圧より低い値の出力高レベル、より正確にはメモリセルの分離されたゲートに存在する電圧よりしきい値だけ低い出力レベルを生成するという欠点を有する。つまり

$$V_{\text{output}} = V_{\text{(gate of cell 1)}} - V_{\text{threshold}}$$

である。

【0015】出力シグナルは縮退し下流のCMOS回路を駆動するためには不十分であるため、この電圧デバイダ構造は非常に重要である。従ってデバイダの下流にレベル再生段を付加してこの重要性を減少させることが必要である。これらの制限はプログラム特性に厳しい制限を課し、生産効率を顕著に減少させることがある。更にそれぞれの使用可能シグナルについて、2個のEEPROMセルと電圧シグナル用の相対レベル再生段がつまり実際には厳格な機能的ニーズに匹敵する「リダンダント」回路段が必要となる。図8に示したタイプの本発明の単一EEPROMメモリセルを使用することにより、メモリ機能及び論理シグナルの電圧レベルの再生の補助機能が結合した状態で実施される。実際に図8で述べた本発明のEEPROMセルのOUTターミナルは図11の機能的スキームの出力ターミナルを示し、一方p-チャンネル読出トランジスタのそれぞれのソースターミナルは直接サプライレール V_{DD} に接続され、n-チャンネル読出トランジスタのソースターミナル5は接地(GDN)されている。

【0016】EEPROMセル（一般に2個の読出ゲート11及び11'を有する）の相補読出トランジスタ対により構成されるCMOSインバータの大きさを好適に決めることにより、必要な機能を実際に得ることができる。図12は、図10の回路の単一入力用の使用可能及び選択シグナルの発生用回路の部分をやより詳細に示すものである。勿論この構造は入力の数と同じ数だけ複製することができる。メモリセルのそれぞれの出力ターミナル(OUTPUT)を通して図13に示したダイアグラムに従って論理AND演算子を形成する回路を駆動するための図4に示したタイプの本発明の2個のみのEEPROMセルを使用することにより同じ機能を実行させることができる。本発明のEEPROMセルを使用することにより、セルの全数の冗長度が除去され（4個の代わりに

2個のセル）、これにより占有エリアの顕著なセービングが実現され（当業者には周知のように図12によると必要なのは12の代わりに2個のトランジスタである）、そして2個の論理ANDゲートの伝搬遅れの合計の代わりに単一伝達ゲートに転嫁できる伝搬遅れが生ずる。

【0017】用途2は次の通りである。本発明に従って形成された単一のEEPROMセルを、図14に示された簡略化された集積構造により概略的かつ機能的に示すことができる。この構造には図15に示した機能的電気回路が対応する。本発明のEEPROMセルは複雑なプログラムできる集積デバイス中でEEPROM相互接続素子として特に好適に機能する。実際にこのセルはメモリ機能とスイッチ機能を同時に果たすことができ、このスイッチ機能は標準的なCMOS回路と互換できる電圧レベルで動作するために特に適している。従って本発明のEEPROMセルは複雑な構造又はプログラムできる相互接続アレイを実現するための特別な有用性を有している。本発明のこのようなEEPROMセルのアレイの機能的なスキームが図16に示されている。プログラムできる相互接続アレイが、第1のレベルの金属層(METAL1)を通して各々がそれぞれアレイの入力に対応するパターン化された第1のオーダーの平行な導電ライン中、及び各々がアレイのそれぞれの出力に対応する第2のレベルの金属層(METAL2)を通して共通にパターン化された第1のオーダーの導電ライン上に直角に配置された第1のオーダーの導電ラインから電氣的に絶縁された第2のオーダーの平行な導電ライン中に形成されている。第1のオーダーの導電ライン(入力ライン)と第2のオーダーの導電ライン(出力ライン)間の各交点に、プログラムできる接続デバイスがあり、これは都合良く本発明のEEPROMセルにより構成されている。接続素子は、そのソース及びドレンターミナルがそれぞれ第1のオーダーの導電ラインに(入力に)及び第2のオーダーの導電ラインに(出力に)又はその逆に接続されているプログラムできるメモリセルの状態の読出トランジスタにより構成される。既述の通り、本発明に従って形成されたEEPROMセルのこの読出トランジスタは、メモリセルのプログラムできる活性エリアから実質的に分離されることにより相互接続アレイの外側の論理回路のレベルに匹敵する電圧及び電流レベルに耐え得るように都合良くサイズを決定できる。

【図面の簡単な説明】

【図1】従来技術によるEEPROMセルの構造の概略平面図。

【図2】図1の構造のI-I'線簡略化縦断面図。

【図3】図1の集積構造のI-I'線簡略化縦断面図。

【図4】本発明に従って形成された単一レベルのゲートメタライゼーションのEEPROMメモリセルの集積構造の概略平面図。

【図5】図4の構造のI-V-I線で切断した簡略された縦断面図。

【図6】図4の集積構造のV-V線で切断した簡略化された縦断面図。

【図7】図4の集積構造のV-I-V線で切断した簡略された縦断面図。

【図8】本発明のEEPROMメモリセルの集積構造の他の態様の概略平面図。

【図9】既知技術に従って、EEPROMセルを使用することにより積の項を発生させるための論理回路の機能的ブロックダイアグラム。

【図10】既知技術による、図9の回路と機能的に等価な論理回路のブロックダイアグラム。

【図11】従来の構造を有するEEPROMセルを使用することにより実現された図10の機能的ダイアグラムの使用可能回路セクションの部分ブロックダイアグラム。

【図12】図10の回路の単一入力用使用可能及び選択シグ*

*ナルの発生用部分を更に詳細に示す他の機能的ブロックダイアグラム。

【図13】図8に示した形態の、本発明に従ってEEPROMセルを使用することにより実現された図12の回路と機能的に等価な回路ダイアグラム。

【図14】本発明のEEPROMセルの集積構造の機能的な概略平面図。

【図15】図14の集積構造の等価な回路ダイアグラム。

【図16】本発明のEEPROMセルで形成された相互接続アレイの機能的ダイアグラムの概略的な代表例。

【符号の説明】

1・・・分離されたゲート 11、1t・・・突起部

4・・・活性エリア

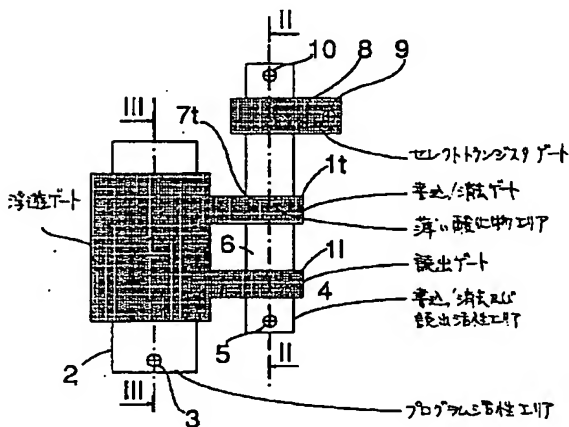
5、6・・・コンタクト 7・・・絶縁層 7t・・・

トンネルゾーン 8・・・ゲート 9・・・コントロール

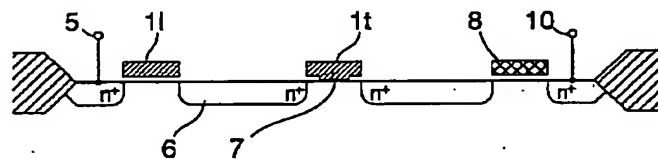
ターミナル 10・・・ソースターミナル 11、12・・・

活性エリア

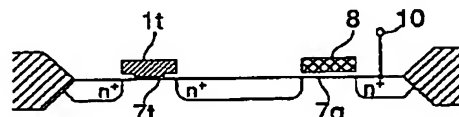
【図1】



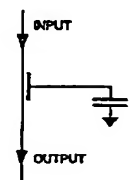
【図2】



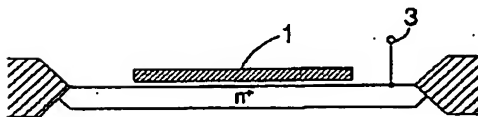
【図5】



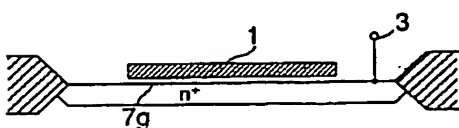
【図15】



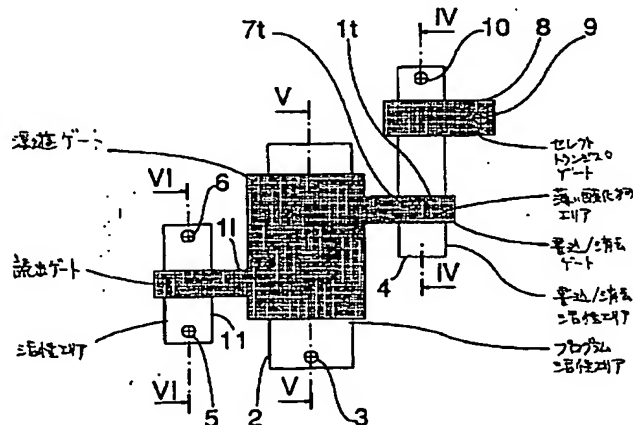
【図3】



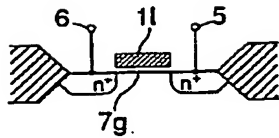
【図6】



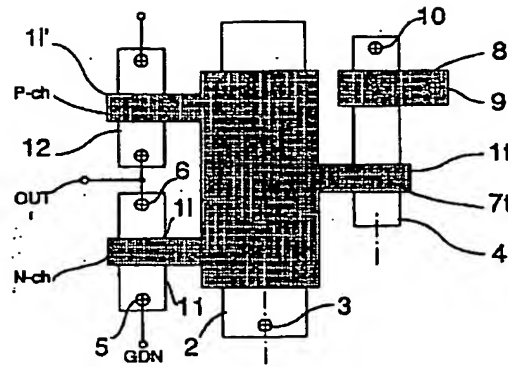
【図4】



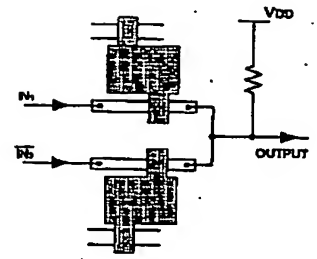
【図7】



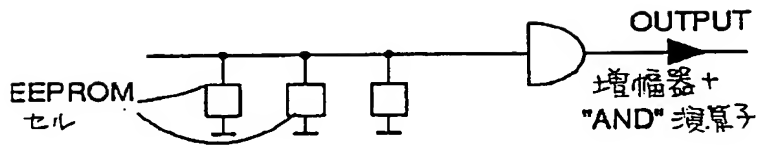
【図8】



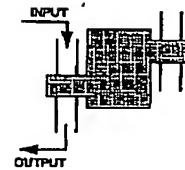
【図13】



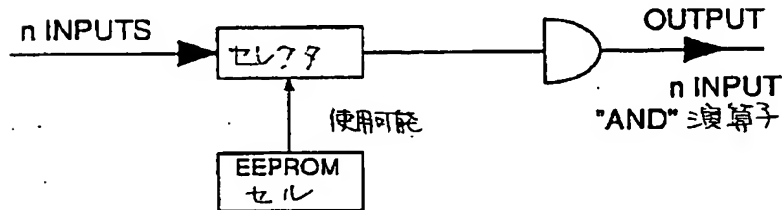
【図9】



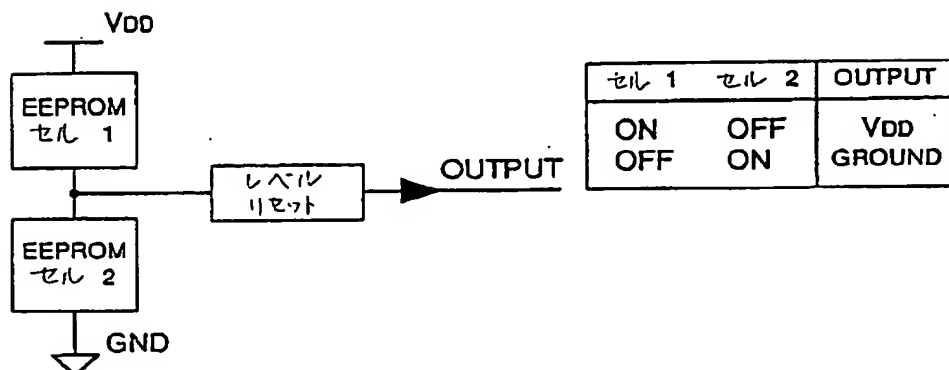
【図14】



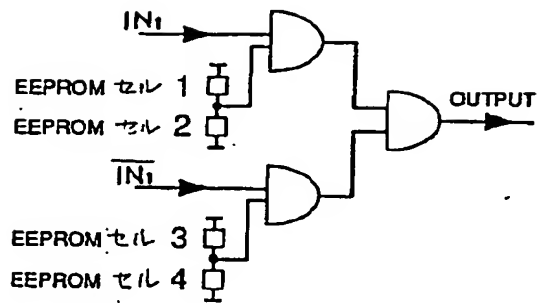
【図10】



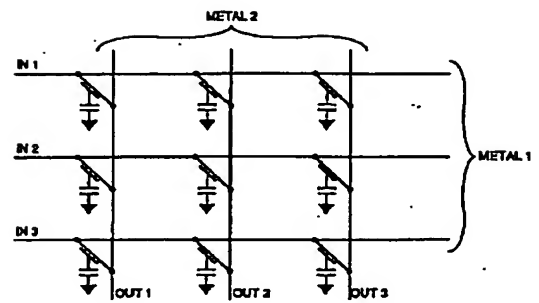
【図11】



【図12】



【図16】



フロントページの続き

(51) Int. Cl.⁵

G 1 1 C 16/04

識別記号

庁内整理番号

F I

技術表示箇所